

10626957



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 41 03 105 A 1**

⑤① Int. Cl.⁵:
H 01 L 21/72
H 01 L 27/108
G 11 C 11/34

②① Aktenzeichen: P 41 03 105.9
②② Anmeldetag: 1. 2. 91
②③ Offenlegungstag: 8. 8. 91

DE 41 03 105 A 1

③① Unionspriorität: ③② ③③ ③①

01.02.90 JP 2-23898

⑦① Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦④ Vertreter:

Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

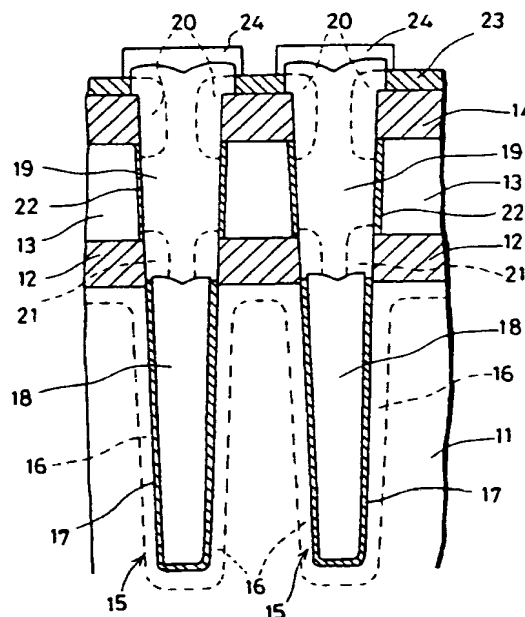
⑦② Erfinder:

Akazawa, Moriaki, Itami, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleitervorrichtung und Verfahren zum Herstellen einer solchen

⑤⑦ Eine Halbleitervorrichtung umfaßt eine erste Isolationsschicht (12), eine erste Leiterschicht (13) und eine zweite Isolationsschicht (14), die in dieser Reihenfolge auf einem Halbleitersubstrat (11) geschichtet sind, und einen Graben (15), der so gebildet ist, daß er die geschichtete Dreifachschicht durchdringt und sich in das Halbleitersubstrat erstreckt. Ein Kondensator wird an einem Bereich des im Halbleitersubstrat angeordneten Grabens gebildet. Ein Transistor wird direkt auf diesem Kondensator gebildet. Der Kondensator umfaßt eine aus dem Halbleitersubstrat gebildete Elektrode, und die andere Elektrode wird aus einer zweiten Leiterschicht (18), die in dem Graben gebildet ist, auf einem dielektrischen Film (17) gebildet. Der Transistor umfaßt eine aus der ersten Leiterschicht gebildete Gateelektrode und Source-/Drain-Bereiche (20, 21) eines zweiten Leittertyps, die in der Nähe der ersten und zweiten Isolationsschichten in einer den Graben füllenden aktiven Schicht (19) angeordnet sind. Die Drain- und Source-Bereiche des Transistors werden gebildet, indem in den ersten und zweiten Isolationsschichten enthaltene Störstellen in die aktive Schicht thermisch hineindiffundiert werden. Da für diese Halbleitervorrichtung und ein Verfahren zu ihrer Herstellung ein Bereich, der nur für Isolationszwecke hinzugefügt wird, nicht benötigt wird, kann eine von der Speicherzelle eingenommene Fläche reduziert werden, wodurch eine höhere Integrationsdichte der Vorrichtung erreicht wird.



DE 41 03 105 A 1

Die vorliegende Erfindung bezieht sich allgemein auf Halbleitervorrichtungen und Herstellungsverfahren von solchen und im besonderen auf eine Struktur einer dynamischen Speichervorrichtung, in der ein sogenannter Grabenkondensator als Kondensator eingesetzt wird, und ein vertikaler MOS-Feldeffekttransistor als Transistor gebildet ist, sowie ein Verfahren zum Herstellen einer derartigen dynamischen Speichervorrichtung.

In den letzten Jahren wurde ein ständig höherer Integrationsgrad von Halbleitervorrichtungen benötigt, und folglich wird es zur wichtigsten technischen Aufgabe, die Fläche einer Speicherzelle zum Speichern eines Informationsbit in den Halbleitervorrichtungen zu reduzieren. In dynamischen Speichervorrichtungen müssen die betreffenden Flächen eines Kondensators, Drain- und Isolationsbereiche so klein wie möglich sein. Um diese Bedingung zu erfüllen, wurde eine herkömmliche dynamische Speichervorrichtung vorgeschlagen, in welcher ein Grabenkondensator als Kondensator eingesetzt wird, ein MOS-Feldeffekttransistor auf einer Seitenfläche desselben, den Kondensator darin bildenden Grabens gebildet wird und ein Oxidfilm als Isolationsbereich benutzt wird (siehe z.B. IEDM85, seiten 714 - 717).

Die Fig. 1A und 1B zeigen ein Beispiel einer herkömmlichen dynamischen Speichervorrichtung. Diese dynamische Speichervorrichtung weist eine auf einem p-Typ-Siliziumsubstrat 1 gebildete p-Typ-Epitaxialschicht 2 und einen Graben 3 auf, der in dieser p-Typ-Exptaxialschicht 2 gebildet ist und sich in das Siliziumsubstrat 1 erstreckt. Eine zweite Leiterschicht 5 ist an einem Bereich des Grabens 3 im Siliziumsubstrat 1 gebildet, wobei ein dielektrischer Film 4 dazwischen liegt. Eine erste, als Wortleitung dienende Leiterschicht 7 ist an einem Bereich des Grabens 3 im Epitaxialfilm 2 gebildet, wobei ein Gate-Isolationsfilm 6 dazwischen liegt. Ein als Bitleitung dienender Drain 8 vom n-Typ ist auf einer Oberfläche der Epitaxialschicht 2 an den Rändern einer Öffnung des Grabens 3 gebildet. Das Siliziumsubstrat 1 und die zweite Leiterschicht 5 mit dem dazwischen liegenden dielektrischen Film 4 bilden eine Zellplatte eines Grabenkondensators bzw. einen Speicherknoten.

Ein Herstellungsverfahren dieser dynamischen Speichervorrichtung wird anschließend beschrieben.

Zuerst wird eine Silizium-Epitaxialschicht 2 mit p-Typ-Störstellen von einer niedrigeren Konzentration als derjenigen von p-Typ-Störstellen im Siliziumsubstrat 1 auf dem Siliziumsubstrat 1 gebildet. Nur ein Oberflächenbereich dieser Silizium-Epitaxialschicht, der isoliert werden soll, wird selektiv oxidiert, um einen Oxidfilm 9 zu bilden. In den resultierenden Film werden dann n-Typ-Störstellen, wie Arsen oder dergleichen, implantiert, und der Film dann auch einer thermischen Behandlung unterzogen, so daß der als Bitleitung dienende Drain 8 auf der Oberfläche der Silizium-Epitaxialschicht 2 gebildet wird.

Anschließend wird ein sich von der Oberfläche der Silizium-Exptaxialschicht 2 auf das Halbleitersubstrat 1 erstreckendes Loch an einer vorbestimmten Stelle gebildet, und eine dielektrische Schicht 4, wie zum Beispiel ein Siliziumoxidfilm, ein Siliziumnitridfilm oder dergleichen und eine zweite Leiterschicht 5, die aus Polysilizium gebildet ist und n-Typ-Störstellen, wie Phosphor oder dergleichen beinhaltet, füllen das Loch in der Silizium-Epitaxialschicht 2 halb aus. Zu diesem Zeitpunkt

liegt ein oberes Ende des dielektrischen Films 4 allerdings niedriger als das der zweiten Leiterschicht 5, so daß die zweite Leiterschicht 5 mit der Silizium-Epitaxialschicht 2 in leitende Verbindung treten kann.

Dann wird ein Gate-Isolationsfilm 6 auf der Oberfläche der Silizium-Epitaxialschicht 2 (was auch eine Oberfläche des Drain 8 einschließt) gebildet, woraufhin dann eine aus Polysilizium mit Phosphor oder dergleichen gebildete erste Leiterschicht 7 darauf abgelagert wird, wobei ein CVD-Verfahren (Chemical Vapor Deposition) oder der gleichen verwendet wird. Die abgelagerte Schicht wird bemustert, um eine Wortleitung zu bilden.

Eine Speicherzelle mit dieser Struktur bildet einen MOS-Feldeffekttransistor mit einer ersten Leiterschicht 7 als Gateelektrode, einem Drain 8 als Drainbereich und einem oberen Bereich einer zweiten Leiterschicht 5 als Sourcebereich. Folglich dient die erste Leiterschicht 7 als Wortleitung für ein Eingangs-/Ausgangssignal, der Drain 8 als Bitleitung für ein Eingangs-/Ausgangssignal und die zweite Leiterschicht 5 als Speicherknoten (Kondensatorelektrode), so daß die so gebildete Struktur als Speicherzelle wie in einer normalen dynamischen Speichervorrichtung arbeitet. Bei einer Halbleitervorrichtung mit dieser Struktur werden wesentliche Bereiche des MOS-Transistors, d.h. Source-/Drain-Bereiche, ein Kanalbereich und dergleichen außerhalb des Grabens gebildet. Genauer gesagt, da eine aktive Schicht des MOS-Transistors auf der Substratseite gebildet ist, wird eine Isolierung zwischen den Elementen, wie z.B. durch einen Oxidfilm, benötigt. In dem Fall, daß eine Isolationsbreite zwangsweise verringert wird, um die Fläche eines Isolationsbereiches als Teil der Speicherzellenfläche zu verkleinern, kann sich die Leistungsfähigkeit und Zuverlässigkeit des Transistors als elektronisches Element durch die Verschlechterung der Isolationsseigenschaften deutlich verschlechtern. Um exzellente Isolationsseigenschaften zu erhalten, benötigen die Abmessungen des Isolationsbereiches im Verhältnis zur gesamten Speicherzellenfläche etwa 50% der Speicherzellenfläche. Dies bedeutet, daß etwa die Hälfte der Speicherzellenfläche ausschließlich für die Isolation benutzt werden, was den Nachteil hat, daß eine Reduzierung des Isolationsbereichs beschränkt ist.

Ein Ziel der vorliegenden Erfindung ist es, eine Halbleitervorrichtung mit einer dynamischen Speichervorrichtung zu schaffen, in der die Fläche einer Speicherzelle verringert werden kann, und in der der Integrationsgrad der Speicherzelle verbessert werden kann, indem die Bedingungen für ausschließlich für Isolationszwecke bereitzustellende Vorrichtungen beseitigt werden, sowie ein Verfahren zum Herstellen einer derartigen Halbleitervorrichtung zu schaffen.

Bei einer Halbleitervorrichtung entsprechend der vorliegenden Erfindung sind eine erste Isolationschicht, eine erste Leiterschicht und eine zweite Isolationschicht in dieser Reihenfolge auf einem Halbleitersubstrat geschichtet. Diese Halbleitervorrichtung beinhaltet einen Graben, der so gebildet ist, daß er diese geschichtete, dreifache Schicht durchdringt und sich in das Halbleitersubstrat erstreckt. Ein Kondensator ist an einem Bereich dieses Grabens im Halbleitersubstrat angeordnet. Ein Transistor ist direkt auf diesem Kondensator gebildet. Der Kondensator weist eine Elektrode auf, die aus dem Halbleitersubstrat gebildet ist, und die andere Elektrode ist aus einer zweiten Leiterschicht gebildet, die auf einer Seitenfläche und einer Bodenfläche des Grabens im Halbleitersubstrat gebildet ist, wobei ein Dielektrikum dazwischengelegt ist. Der Transistor

weist eine Gateelektrode auf, die aus der ersten Leerschicht gebildet ist, einen Gate-Isolationsfilm, der aus einem an einer inneren Umfangsfläche des Grabens an der Position der ersten Leerschicht gebildeten Isolationsfilm gebildet ist, und Source-/Drain-Bereiche, die in einer aktiven Schicht im Graben versenkt gebildet sind, die nur in der Nähe der ersten und zweiten Isolations-schicht angeordnet ist, so daß sie zwischen dem Gate-Isolationsfilm zwischen den Source-/ Drain-Bereichen liegt.

Da der Transistor vertikal gebildet ist und die Source-/ Drain-Bereiche innerhalb des Grabens gebildet sind, benötigt in dieser Halbleitervorrichtung der vertikal gebildete Transistor eine kleinere Speicherzellenfläche als die eines lateralen Transistors mit derselben Leistung. Außerdem benötigt der vorliegende vertikale Transistor keine Einrichtungen, die extra nur für Isolationszwecke ergänzt werden. Daher kann eine extrem kleine Speicherzellenfläche erreicht werden. Die Halbleitervorrichtung mit der beschriebenen Struktur wird durch das folgende Verfahren hergestellt. Eine erste Isolationsschicht, eine erste Leerschicht mit einem ersten Leitungstyp und eine zweite Isolationsschicht werden nacheinander auf einem Halbleitersubstrat gebildet. Eine Öffnung, die durch die zweite Isolationsschicht, die erste Leerschicht und die erste Isolationsschicht dringt und sich in das Halbleitersubstrat erstreckt, wird senkrecht zu einer Hauptoberfläche des Halbleitersubstrats gebildet, so daß sie einen Graben bildet. Die zweite Isolationsschicht und die erste Leerschicht werden dann mit einem vorbestimmten Muster bemustert. Anschließend werden Störstellen in eine Seitenfläche des Grabens implantiert, so daß ein Bereich auf der Seitenfläche des im Halbleitersubstrat befindlichen Grabens elektrisch leitend wird. Dann werden ein dielektrischer Film und eine zweite Leerschicht nacheinander in den betreffenden Bereichen auf der Seitenfläche und einer Bodenfläche des Grabens im Halbleitersubstrat gebildet. Ein Gate-Isolationsfilm wird danach auf der Seitenfläche des Grabens an der Stelle der ersten Leerschicht gebildet, und ein aktiver Bereich wird dann in einem Bereich gebildet, der im Graben höher liegt als das Halbleitersubstrat. Anschließend werden Störstellen eines zweiten Leitungstyps in zwei einander gegenüberliegende Bereiche hineindiffundiert, die auf einem äußeren Umfang des aktiven Bereichs einander gegenüberliegend gebildet sind, wobei der Gate-Isolationsfilm dazwischen liegt. Hierdurch werden Source-/ Drain-Bereiche gebildet.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus den Figuren und der Beschreibung anhand eines Anwendungsbeispiels. Von den Figuren zeigen:

Fig. 1A eine Grundflächenansicht mit einem Beispiel einer herkömmlichen dynamischen Graben-Speichervorrichtung;

Fig. 1B eine Querschnittsansicht entlang der Linie A-A in Fig. 1A;

Fig. 2A eine Grundflächenansicht einer dynamischen Graben-Speichervorrichtung entsprechend einer Ausführungsform der vorliegenden Erfindung;

Fig. 2B eine Querschnittsansicht entlang der Linie B-B in Fig. 2A;

Fig. 3 ein entsprechendes Schaltbild der in Fig. 2A und 2B gezeigten dynamischen Speichervorrichtung;

Fig. 4A eine Grundflächenansicht mit einem ersten Herstellungsschritt eines hauptsächlichlichen Herstellungsprozesses der dynamischen Speichervorrichtung ent-

sprechend der Ausführungsform der vorliegenden Erfindung;

Fig. 4B eine Querschnittsansicht entlang der Linie C-C in Fig. 4A;

Fig. 5A eine Grundflächenansicht mit einem zweiten Herstellungsschritt des hauptsächlichlichen Herstellungsprozesses der dynamischen Speichervorrichtung entsprechend der Ausführungsform der vorliegenden Erfindung;

Fig. 5B eine Querschnittsansicht entlang der Linie D-D in Fig. 5A;

Fig. 6A eine Grundflächenansicht mit einem dritten Herstellungsschritt des hauptsächlichlichen Herstellungsverfahrens der dynamischen Speichereinrichtung entsprechend einer Ausführungsform der vorliegenden Erfindung;

Fig. 6B eine Querschnittsansicht entlang der Linie E-E in Fig. 6A;

Fig. 7A eine Grundflächenansicht mit einem vierten Herstellungsschritt des hauptsächlichlichen Herstellungsverfahrens der dynamischen Speichervorrichtung entsprechend einer Ausführungsform der vorliegenden Erfindung;

Fig. 7B eine Querschnittsansicht entlang der Linie F-F in Fig. 7A;

Fig. 8A eine Grundflächenansicht einer dynamischen Graben-Speichervorrichtung entsprechend einer anderen Ausführungsform der vorliegenden Erfindung und

Fig. 8B eine Querschnittsansicht entlang der Linie G-G in Fig. 8A.

Anschließend erfolgt eine Beschreibung einer Ausführungsform der vorliegenden Erfindung unter Bezug auf die Zeichnungen.

Die Fig. 2A und 2B zeigen eine Grundflächenansicht einer Speicherzelle einer dynamischen Speichervorrichtung entsprechend einer Ausführungsform der vorliegenden Erfindung bzw. eine Querschnittsstruktur der dynamischen Speichervorrichtung. Wie in den Fig. 2A und 2B gezeigt, sind in der Speicherzelle nach dieser Ausführungsform eine erste Isolationsschicht 12, eine erste Leerschicht 13 und eine zweite Isolationsschicht 14 auf einem Siliziumsubstrat 11 geschichtet. Die erste Isolationsschicht 12 ist zum Beispiel aus einem Siliziumoxidfilm gebildet, der mit etwa $10^{21}/\text{cm}^3$ n-Typ-Störstellen, zum Beispiel Phosphor oder dergleichen, dotiert ist, und der eine Dicke von etwa $0,5\text{ }\mu\text{m}$ aufweist. Die erste Leerschicht 13 ist aus einer Polysiliziumschicht gebildet, die etwa $7 \times 10^{20}/\text{cm}^3$ von n-Typ-Störstellen, wie Phosphor oder dergleichen, beinhaltet und eine Dicke von etwa $1\text{ }\mu\text{m}$ aufweist. Die zweite Isolationsschicht 14 ist zum Beispiel aus einem Siliziumoxidfilm gebildet, der etwa $10^{21}/\text{cm}^3$ n-Typ-Störstellen, wie Arsen oder Phosphor, beinhaltet und eine Dicke von etwa $0,5\text{ }\mu\text{m}$ aufweist. Die Gräben 15 sind halb-zylindrische Löcher mit einem Durchmesser von etwa $0,8\text{ }\mu\text{m}$ und sind in dieser gestapelten Schicht mit einem Abstand untereinander von $1,5 - 2,0\text{ }\mu\text{m}$ gebildet. Eine erste Störstellenschicht 16 ist mit etwa $2 \times 10^{18}/\text{cm}^3$ n-Typ-Störstellen, wie Phosphor oder dergleichen, dotiert und wird an den betreffenden Bereichen einer Seitenfläche und einer Bodenfläche jeder der Gräben 15 gebildet, wobei die Gräben in einem Halbleitersubstrat 11 angeordnet sind und etwa $3\text{ }\mu\text{m}$ tief sind. Ein dielektrischer Film 17 mit einer Dicke von etwa $70\text{ }\text{\AA}$, der auf einem Siliziumnitridfilm oder einem Siliziumoxidfilm gebildet ist, wird auf einer inneren Umfangsfläche des Grabens 15 in diesen Bereichen aufgebracht. Eine zweite Leerschicht 18, die zum Beispiel aus Polysilizium mit etwa $2 \times 10^{18}/\text{cm}^3$ n-Typ-

Störstellen, wie Arsen oder Phosphor, gebildet ist, wird auf einer Oberfläche des dielektrischen Films 17 aufgebracht. Diese zweite Leiterschicht 18 und erste Störstellenschicht 16 bilden einen Kondensator mit dem dazwischenliegenden dielektrischen Film 17. Dies bedeutet, daß die erste Störstellenschicht 16 als eine Zellplatte der Speicherzelle dient, und die zweite Leiterschicht 18 als ein Speicherknoten dient. Eine aktive Schicht 19 mit etwa $4 \times 10^{16}/\text{cm}^3$ p-Typ-Störstellen, wie Boron oder dergleichen, wird auf der zweiten Leiterschicht 18 aufgebracht. Diese aktive Schicht 19 ist derart bemustert, daß ein oberer Bereich von ihr eine Öffnung jedes Grabens bedecken kann. Ein Drain-Bereich 20, in den n-Typ-Störstellen hineindiffundiert wurden, wird in dem oberen Bereich der aktiven Schicht 19 gebildet, und ein Source-Bereich 21 wird in einem unteren Bereich der aktiven Schicht 19 gebildet. Ein Gate-Isolationsfilm 22 wird in der ersten leitenden Schicht 13, die zwischen den Drain- und Source-Bereichen 20 und 21 angeordnet ist, gebildet. Eine dritte Leiterschicht 24, die aus Titanitrid oder dotiertem Polysilizium gebildet ist, wird als eine Verbindungsschicht auf der zweiten Isolationsschicht 14 mit einer dritten dazwischengelegten Isolationsschicht 23 aufgebracht. Diese dritte Leiterschicht 24 dient als eine Bitleitung.

Bei der beschriebenen Struktur sind ein MOS-Feldeffekttransistor mit seinem aus der ersten Leiterschicht 13 gebildeten Gate und ein aus der zweiten Leiterschicht 18, dem dielektrischen Film 17 und der ersten Störstellenschicht 16 gebildeter Kondensator in der Richtung der Grabentiefe des Grabens 15 gebildet. Elektronische Elemente mit den im entsprechenden Schaltbild in Fig. 3 gezeigten Funktionen werden gebildet. Wie in Fig. 3 gezeigt, entspricht eine Bitleitung BL der dritten Leiterschicht 24 in Fig. 2B; eine Wortleitung WL entspricht der ersten Leiterschicht 13 in Fig. 2B; ein Speicherknoten SN entspricht der zweiten Leiterschicht 18 in Fig. 2B; und eine Zellplatte CP entspricht der ersten Störstellenschicht 16 in Fig. 2B.

Anschließend wird eine Beschreibung eines Herstellungsprozesses der oben beschriebenen dynamischen Speichervorrichtung gegeben.

Zuerst wird ein Siliziumoxidfilm mit n-Typ-Störstellen, wie Arsen oder Phosphor mit einer Dicke von etwa $0,5 \mu\text{m}$ und einer Störstellenkonzentration von etwa $10^{21}/\text{cm}^3$ auf einem Siliziumsubstrat 11 mit einer Plasma-CVD-Methode oder dergleichen aufgebracht, wodurch eine erste Isolationsschicht 12 gebildet wird. Dann wird Polysilizium mit n-Typ-Störstellen, wie Arsen oder Phosphor, mit einer Dicke von etwa $1 \mu\text{m}$ und einer Störstellenkonzentration von etwa $7 \times 10^{20}/\text{cm}^3$ auf diese erste Isolationsschicht 12 aufgebracht, wobei ebenfalls die Plasma-CVD-Methode oder dergleichen angewendet wird. Hierdurch wird eine erste Leiterschicht 13 gebildet. Ein Siliziumoxidfilm mit n-Typ-Störstellen, wie Arsen oder Phosphor, wird dann mit einer Dicke von etwa $0,5 \mu\text{m}$ und einer Störstellenkonzentration von etwa $10^{21}/\text{cm}^3$ auf der ersten Leiterschicht 13 aufgebracht, wodurch eine zweite Isolationsschicht 14 gebildet wird. Anschließend wird eine Mehrzahl von semi-zylindrischen Gräben 15 mit vorbestimmten Abständen gebildet, wobei die zweite Isolationsschicht 14, die erste Leiterschicht 13 und die erste Isolationsschicht 12 durchdrungen werden und die Gräben eine Tiefe von etwa $3,0 \mu\text{m}$ im Siliziumsubstrat 11 aufweisen. Es wird eine Trocken-Ätzmethode verwendet. Die sich ergebende Struktur wird in den Fig. 4A und 4B gezeigt.

Ein Photoresist (nicht gezeigt) wird dann durch Pho-

tolithographie bemustert, um die erste Leiterschicht 13, die als Wortleitung dient, zu bemustern. Anschließend werden nur die zweite Isolationsschicht 14 und die erste Leiterschicht 13 trocken-geätzt, und eine Wortleitung wird einem Verbindungs-Bearbeitungsschritt unterzogen. Die sich ergebende Struktur wird in den Fig. 5A und 5B gezeigt.

Dann werden n-Typ-Störstellen, wie Phosphor oder Arsen, auf einer Innenfläche des Grabens 15 durch die Ionenimplantationsmethode implantiert, um eine erste Störstellenschicht 16 zu bilden. Bei dieser Ionenimplantation werden n-Typ-Störstellenionen zuerst vertikal auf die Oberfläche des Siliziumsubstrats 11 mit einer Implantationsenergie von 50 keV gerichtet, und anschließend werden die n-Typ-Störstellenionen mit einer Implantationsenergie von 400 keV auf die Oberfläche des Siliziumsubstrats 11 mit einer Neigung von etwa 70° bezogen auf eine Normalrichtung der Oberfläche gerichtet. Ein dünner dielektrischer Film 17 mit einer Dicke von etwa 70 \AA , der zum Beispiel aus einem Siliziumnitridfilm oder Siliziumoxidfilm gebildet wird, wird anschließend auf der Innenfläche der Gräben 15 gebildet. Bei einem Verfahren zum Bilden dieses dielektrischen Films 17 wird vorzugsweise nach dem Ablagern des Siliziumnitridfilms durch die CVD-Methode eine gebildete Oberfläche thermisch oxidiert, um eine $\text{Si}_3\text{N}_4/\text{SiO}_2$ -Schicht zu bilden. Dann wird eine zweite Leiterschicht 18, die zum Beispiel aus Polysilizium oder dergleichen mit n-Typ-Störstellen, wie Arsen oder Phosphor, gebildet wird, auf einer Oberfläche des dielektrischen Films 17 aufgebracht. Bei der Bildung der zweiten Leiterschicht 18 wird eine Polysiliziumschicht mit einer Dicke von etwa 5000 \AA mit der CVD-Methode gebildet, so daß Polysilizium die Gräben 15 von etwa $0,8 \mu\text{m}$ Durchmesser füllt. Anschließend werden der dielektrische Film 17 und die zweite Leiterschicht 18 Trocken- oder Naßätzen unterzogen, so daß eine freigelegte Oberfläche des dielektrischen Films 17 und die der zweiten Leiterschicht 18 beide in und um die Mitte der ersten Isolationsschicht 12 herum in Richtung deren Dicke angeordnet sind. Folglich wird die sich ergebende Struktur in den Fig. 6A und 6B gezeigt.

Dann wird die innere Umfangsfläche der Gräben 15 an der Stelle der ersten Leiterschicht 13 zu einem Gate-Isolationsfilm 22 aus Siliziumoxidfilm mit einer Dicke von etwa 100 \AA bis 200 \AA durch eine thermische Oxidationsmethode oder dergleichen ausgeformt. Da die Oberfläche der zweiten Leiterschicht 18 auch oxidiert ist, wird zu diesem Zeitpunkt dieser unbenötigte Oxidfilm selektiv durch Trockenätzen entfernt. Anschließend wird Polysilizium oder dergleichen mit p-Typ-Störstellen, wie Boron oder dergleichen, aufgebracht, um eine aktive Schicht 19 zu bilden. Die Bildung der aktiven Schicht 19 wird durch Aufbringen einer Polysiliziumschicht mit einer Dicke von etwa 5000 \AA und etwa $4 \times 10^{16}/\text{cm}^3$ Boron durchgeführt, indem die Plasma-CVD-Methode oder dergleichen angewendet wird. Die Gräben 15 werden daher mit Polysilizium gefüllt. Eine auf der zweiten Isolationsschicht 14 gebildete Polysiliziumschicht wird dann einem Photolithographievorgang durch Photoresist und Trockenätzen ausgesetzt. Die bearbeitete Polysiliziumschicht wird dann so bemustert, daß sie eine Form aufweist, die eine Öffnung des Grabens 15 bedeckt. Eine thermische Verarbeitung bewirkt dann, daß n-Typ-Störstellen in die aktive Schicht 19 und das Siliziumsubstrat 11 hineindiffundieren, um einen Drainbereich 20, einen Sourcebereich 21 und eine erste Störstellenschicht 16 zu bilden. Die sich ergebende

Struktur wird in den Fig. 7A und 7B gezeigt. Diese thermische Verarbeitung sollte in einer Stickstoffumgebung bei einer Temperatur von 800–900°C etwa 60 Minuten lang durchgeführt werden.

Nachdem dann ein Siliziumoxidfilm, ein Siliziumnitridfilm oder dergleichen durch die Plasma-CVD-Methode aufgebracht sind, wird eine dritte Isolationsschicht 23 durch Trockenätzen so gebildet, daß eine obere Endfläche der aktiven Schicht 19 freiliegt. Danach wird Titannitrid, dotiertes Polysilizium oder dergleichen auf der gesamten freiliegenden Oberfläche durch Sputtern oder dergleichen aufgebracht. Die sich ergebende Schicht wird dann mit dem Photolithographieverfahren durch lichtempfindlichen Schutzlack und Trockenätzen behandelt, um eine dritte Leiterschicht 24, die als eine Bitleitung dient, zu bilden. Folglich wird die in den Fig. 2A und 2B gebildete Struktur fertiggestellt.

Wenn, wie oben beschrieben, bei dieser Ausführungsform die aktive Schicht 19 direkt auf einem Grabenkontensator im Graben 15 gebildet wird, kann eine Speicherzellenfläche verglichen mit dem herkömmlichen Fall, daß eine aktive Schicht außerhalb der Gräben gebildet ist, kleiner gemacht werden. Das bedeutet, daß die Speicherzellenfläche nach dieser Ausführungsform fast ausschließlich durch den Durchmesser der Gräben 15 und die Verbindungsbreite der Bitleitung (dritte Leiterschicht 24) bestimmt wird. Wenn daher der Durchmesser der Gräben 15 0,8 µm und die Verbindungsbreite der Bitleitung 1,1 µm beträgt, beläuft sich die Speicherzellenfläche auf etwa 2,25 µm², und folglich kann eine höhere Integrationsdichte verglichen mit dem herkömmlichen Beispiel, das Isolierung zwischen den Elementen durch den Oxidfilm benötigt, erreicht werden. (Die Speicherzellenfläche in diesem herkömmlichen Fall beträgt etwa 5 µm².)

Während bei der beschriebenen Ausführungsform die dritte Leiterschicht 24 gebildet wird, nachdem die dritte Isolationsschicht 23 gebildet und die aktive Schicht 19 freigelegt wurde, ist es auch möglich, eine auf der zweiten Isolationsschicht 14 aufgebrachte Polysiliziumschicht zu bemustern, nachdem die aktive Schicht 19 gebildet wurde, und n-Typ-Störstellen, wie Phosphor, zu implantieren, so daß eine leitende Verbindungsschicht 19a aus dotiertem Polysilizium gebildet wird, die als eine Bitleitung dient, wie es in den Fig. 8A und 8B gezeigt wird.

Patentansprüche

1. Halbleiterspeichervorrichtung mit einer geschichteten Lage aus einer ersten Isolationsschicht (12), einer ersten Leiterschicht (13) und einer zweiten Isolationsschicht (14), die in dieser Reihenfolge auf einem Halbleitersubstrat (11) geschichtet sind, und einem Graben, der die erste Isolationsschicht (12), die erste Leiterschicht (13) und die zweite Isolationsschicht (14) durchdringend und sich in das Halbleitersubstrat (11) erstreckend gebildet ist, wobei der Graben (15) einen an einem Bereich des Grabens (15) im Halbleitersubstrat (11) gebildeten Kondensator und einen direkt auf dem Kondensator gebildeten Transistor aufweist, wobei der Kondensator eine aus dem Halbleitersubstrat (11) gebildete Elektrode, die andere Elektrode aus einer auf einer Seitenfläche und einer Bodenfläche des Grabens (15) im Halbleitersubstrat (11) gebildeten zweiten Leiterschicht (18) und

einen zwischen den Seiten- und Bodenflächen sowie der zweiten Leiterschicht (18) liegenden dielektrischen Film umfaßt,

und der Transistor eine auf der ersten Leiterschicht (13) gebildete Gateelektrode, einen Gate-Isolationsschicht aus einem auf einer inneren Umfangsfläche des Grabens (15) an der Stelle der ersten Leiterschicht (13) gebildeten Isolationsschicht und einen Drain- (20) und einen Sourcebereich (21) umfaßt, die in einer den Graben (15) füllenden aktiven Schicht (19) angeordnet sind und nur in der Nähe der ersten Isolationsschicht (12) und der zweiten Isolationsschicht (14) liegen, wobei die aktive Schicht (19) im Bereich zwischen den Source- und Drainbereichen (20, 21) zwischen dem Gate-Isolationsschicht liegt.

2. Halbleiterspeichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die erste Leiterschicht (13) eine Polysiliziumschicht mit n-Typ-Störstellen, die aktive Schicht (19) Polysilizium mit p-Typ-Störstellen und die Drain- und Sourcebereiche (20 und 21) diffundierte n-Typ-Störstellen aufweisen.

3. Halbleiterspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß ein oberer Bereich der aktiven Schicht (19) über einer Öffnung des Grabens (15) aufgebracht ist, und daß die Halbleiterspeichervorrichtung ferner eine dritte Leiterschicht (24, 19a) aufweist, die derart gebildet ist, daß sie mit einem Bereich der aktiven Schicht (19) oberhalb des Grabens (15) in Kontakt tritt.

4. Halbleiterspeichervorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die dritte Leiterschicht (19a) durch Bemustern mit einem vorbestimmten Muster einer auf der aktiven Schicht (19) geschichteten dotierten Polysiliziumschicht und der zweiten Isolationsschicht (14) gebildet wird.

5. Halbleiterspeichervorrichtung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß die dritte Leiterschicht (24) eine leitende Metallschicht umfaßt, die so bemustert ist, daß sie den oberhalb der Öffnung des Grabens (15) herausragenden oberen Bereich der aktiven Schicht (19) bedeckt.

6. Halbleiterspeichervorrichtung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die zweite Leiterschicht (18) eine vorbestimmte Menge von Störstellen beinhaltende zweite Leiterschicht (18) umfaßt.

7. Halbleiterspeichervorrichtung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der dielektrische Film (17) einen Siliziumnitridfilm oder einen Siliziumoxidfilm umfaßt.

8. Halbleiterspeichervorrichtung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die erste Isolationsschicht (12) und die zweite Isolationsschicht (14) beide eine vorbestimmte Menge von Störstellen eines Leitungstyps aufweisen, der identisch mit dem Leitungstyp des Sourcebereichs (20) und des Drainbereichs (21) ist, und der Drainbereich (20) durch Diffusion der Störstellen der ersten Isolationsschicht (12) und der Sourcebereich (21) durch Diffusion der Störstellen der zweiten Isolationsschicht (14) gebildet wird.

9. Verfahren zum Herstellen einer Halbleitervorrichtung mit den Schritten
sequentielles Bilden einer ersten Isolationsschicht

(12), einer ersten Leiterschicht (13) und einer zweiten Isolationsschicht (14) auf einem Halbleitersubstrat (11);
 Bilden eines Grabens (15) durch Erzeugen eines Loches, das die zweite Isolationsschicht (14), die erste Leiterschicht (13) und die erste Isolationsschicht (12) senkrecht zur Hauptoberfläche des Halbleitersubstrats (11) durchdringt und sich in das Halbleitersubstrat (11) erstreckt;
 Bemustern der zweiten Isolationsschicht (14) und der ersten Leiterschicht (13) mit einem vorbestimmten Muster;
 Implantieren von Störstellen in eine Seitenfläche des Grabens (15), um einen Bereich auf der Seitenfläche des im Halbleitersubstrats (11) angeordneten Grabens (15) leitend zu machen;
 aufeinanderfolgendes Bilden eines dielektrischen Films (17) und einer zweiten Leiterschicht (18) auf jeweiligen Bereichen auf der Seitenfläche und einer Bodenfläche des im Halbleitersubstrat (11) angeordneten Grabens (15);
 Bilden eines Gate-Isolationsfilms (22) auf der Seitenfläche des Grabens (15) an der Position der ersten Leiterschicht (13);
 Bilden einer aktiven Schicht (19) auf einem Bereich im Graben (15) oberhalb des Halbleitersubstrats (11); und
 Diffundieren von Störstellen eines zweiten Leitungstyps in einander gegenüberliegende Bereiche auf einem Außenrand der aktiven Schicht (19), wobei der Gate-Isolationsfilm (22) dazwischen liegt, so daß ein Drainbereich (20) und ein Sourcebereich (21) gebildet werden.
 10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß die erste Isolationsschicht (12) und die zweite Isolationsschicht (14) beide eine vorbestimmte Menge von Störstellen aufweisen, deren Leitungstyp identisch mit dem Leitungstyp des Drain-Bereichs (20) und des Source-Bereichs (21) ist; und der Schritt zum Bilden des Drainbereichs (20) und des Sourcebereichs (21) durchgeführt wird, indem in der zweiten Isolationsschicht (14) enthaltene Störstellen in den Drainbereich (20) und in der ersten Isolationsschicht (12) enthaltene Störstellen in den Sourcebereich (21) durch Vorbestimmte thermische Behandlung diffundiert werden.
 11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, daß die thermische Behandlung durch Erhitzen in einer Stickstoffumgebung mit einer Temperatur von 800°C bis 900°C etwa 60 Minuten lang durchgeführt wird.
 12. Verfahren nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß der Schritt zum Leitendmachen des Bereichs auf der Graben-Seitenfläche (15) im Halbleitersubstrat (11) ausgeführt wird, indem zuerst eine vorbestimmte Menge von Störstellen auf die Oberfläche des Halbleitersubstrats (11) aus einer senkrechten Richtung zur Oberfläche gerichtet wird, und anschließend eine vorbestimmte Menge von Störstellen auf die Oberfläche des Halbleitersubstrats (11) mit einem vorbestimmten Neigungswinkel bezogen auf die Oberfläche gerichtet wird, während das Halbleitersubstrat gedreht wird.
 13. Verfahren nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, daß der Schritt zum Bilden des dielektrischen Films (17) und der zweiten

Leiterschicht (18) ausgeführt wird, indem nacheinander der dielektrische Film (17) und eine Polysiliziumfilm mit jeweils vorbestimmter Dicke auf einer Innenfläche des Grabens (15) und der gesamten Oberfläche der zweiten Isolationsschicht (14) aufgebracht werden und dann der dielektrische Film (17) und die Polysiliziumschicht mit etwa der selben Ätzrate geätzt werden, wobei die Polysiliziumschicht oberhalb der Umgebung der Mitte der ersten Isolationsschicht (12) gebildet ist.
 14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, daß das Verfahren des Schritt Bemustern einer dritten Leiterschicht (24), die mit einem Bereich der aktiven Schicht (19) oberhalb der Öffnung des Grabens (15) elektrisch leitend verbunden ist, umfaßt.
 15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß der Schritt zum Bilden der dritten Leiterschicht (24) nachfolgende Schritte umfaßt:
 Bilden einer dritten Isolationsschicht (23) auf der zweiten Isolationsschicht (14) nach dem Bilden der aktiven Schicht (19), so daß ein oberer Bereich der aktiven Schicht (19) freigelegt wird;
 Aufbringen einer leitenden Metallschicht zum Bedecken eines freigelegten Bereichs der aktiven Schicht (19) und
 Bemustern der leitenden Metallschicht, um die dritte Leiterschicht (24) zu bilden.
 16. Verfahren zum Herstellen einer Halbleitervorrichtung mit den Schritten
 sequentielles Bilden einer ersten Isolationsschicht (12), einer ersten Leiterschicht (13) und einer zweiten Isolationsschicht (14) auf einem Halbleitersubstrat (11);
 Bilden eines Grabens (15) durch Erzeugen eines Loches, das die zweite Isolationsschicht (14), die erste Leiterschicht (13) und die erste Isolationsschicht (12) senkrecht zur Hauptoberfläche des Halbleitersubstrats (11) durchdringt und sich in das Halbleitersubstrat (11) erstreckt;
 Bemustern der zweiten Isolationsschicht (14) und der ersten Leiterschicht (13) mit einem vorbestimmten Muster;
 Implantieren von Störstellen in eine Seitenfläche des Grabens (15), um einen Bereich auf der Seitenfläche des im Halbleitersubstrats (11) angeordneten Grabens (15) leitend zu machen;
 aufeinanderfolgendes Bilden eines dielektrischen Films (17) und einer zweiten Leiterschicht (18) auf jeweiligen Bereichen auf der Seitenfläche und einer Bodenfläche des im Halbleitersubstrat (11) angeordneten Grabens (15);
 Bilden eines Gate-Isolationsfilms (22) auf der Seitenfläche des Grabens (15) an der Position der ersten Leiterschicht (13);
 Schichten einer Polysiliziumschicht mit Störstellen eines ersten Leitungstyps im Graben (15) oberhalb des Halbleitersubstrats (11) und auf der Oberfläche der zweiten Isolationsschicht (14), um eine aktive Schicht (19) zu bilden;
 Bilden einer dritten Leiterschicht (19a) durch Bemustern der Polysiliziumschicht auf der zweiten Isolationsschicht (14) mit einem vorbestimmten Muster und Implantieren von Störstellen eines zweiten Leitungstyps in die bemusterte Polysiliziumschicht; und
 Diffundieren von Störstellen eines zweiten Leitungstyps in einander gegenüberliegende Bereiche

auf einem äußeren Umfangsrand der aktiven Schicht (19), wobei der Gate-Isolationsfilm (22) dazwischen liegt, so daß ein Drainbereich (20) und ein Sourcebereich (21) gebildet werden.

Hierzu 8 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

— Leerseite —

FIG. 1A

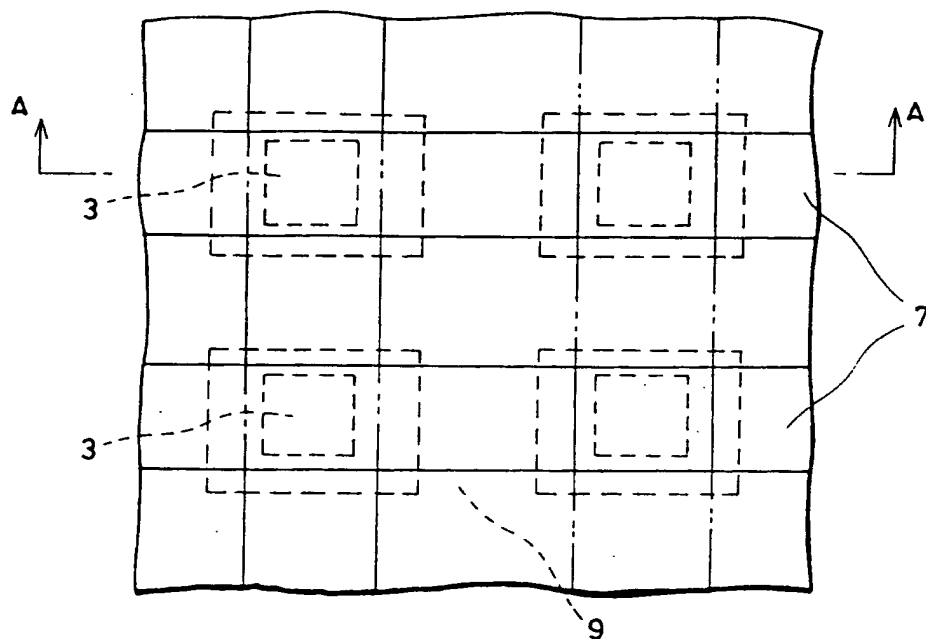


FIG.1B

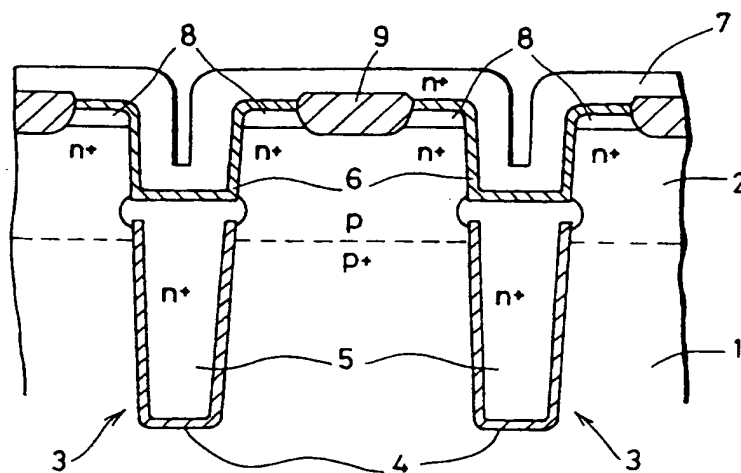


FIG. 2A

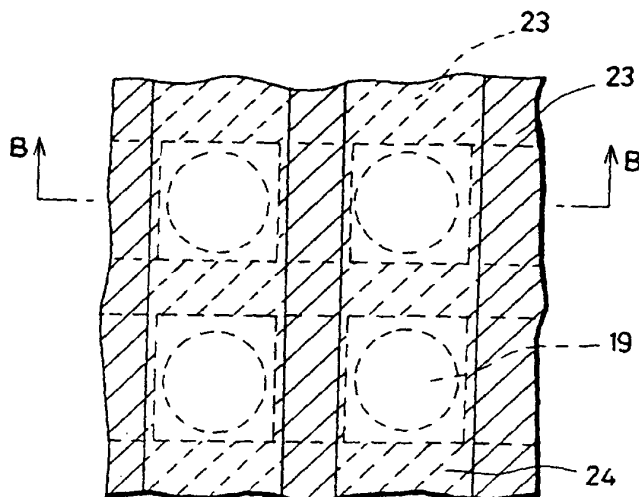


FIG. 2B

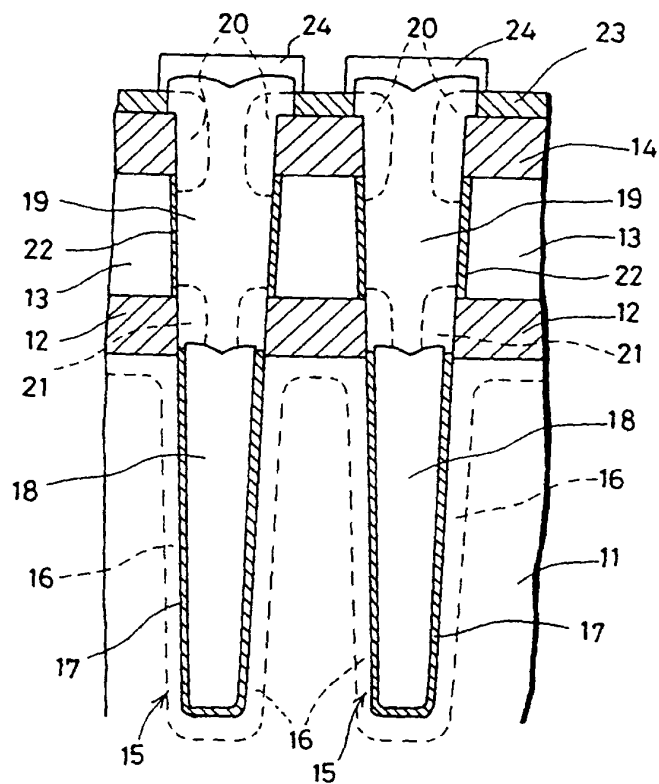


FIG. 3

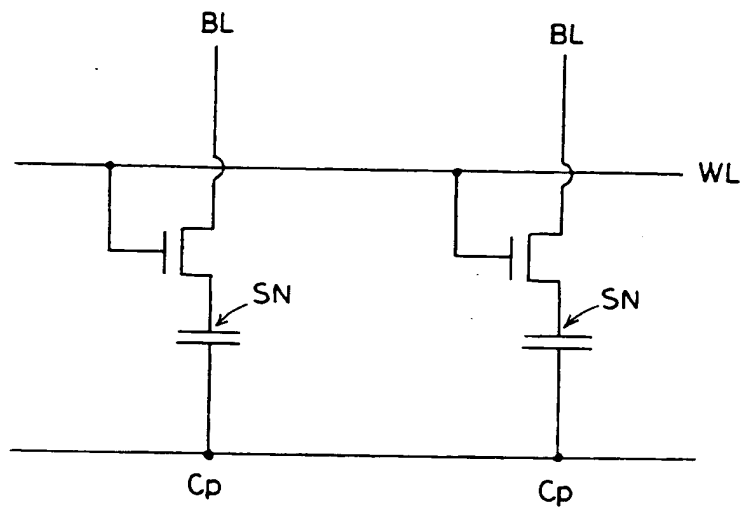


FIG. 4A

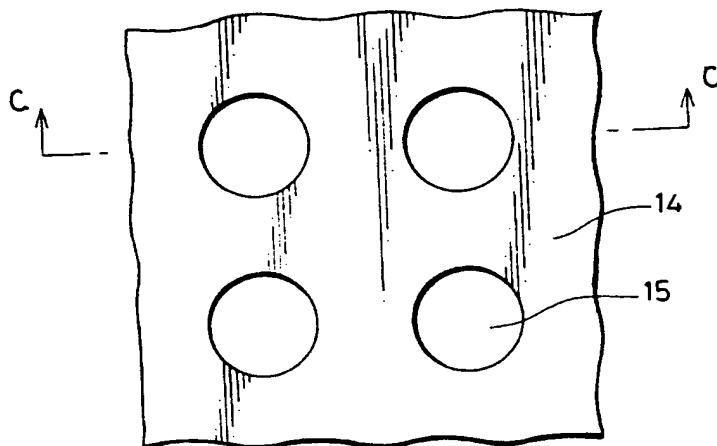


FIG. 4B

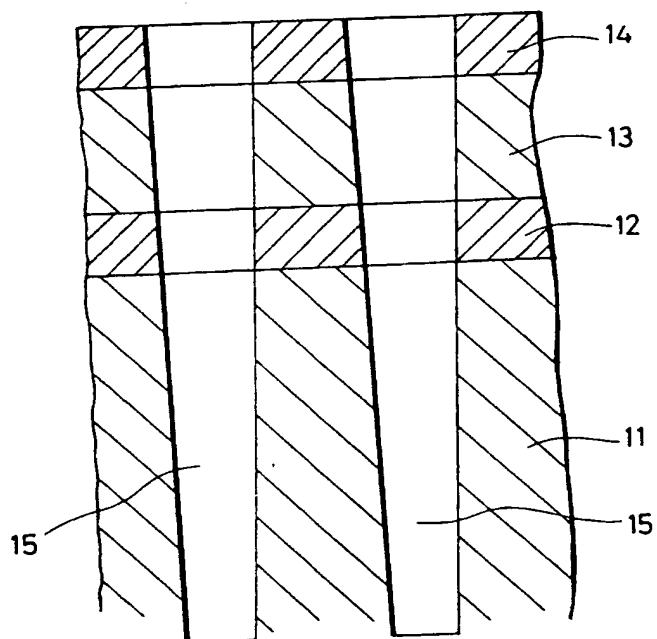


FIG. 5A

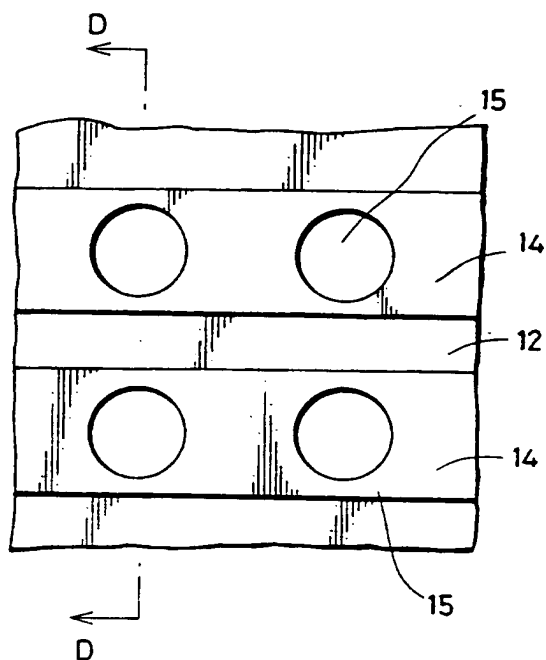


FIG. 5B

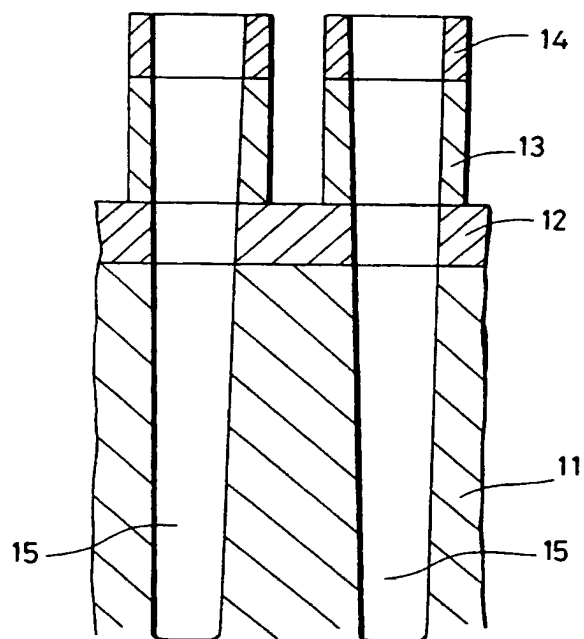


FIG. 6A

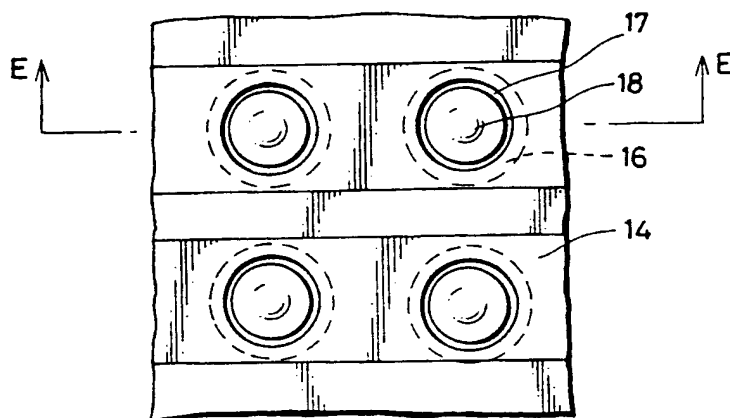


FIG. 6B

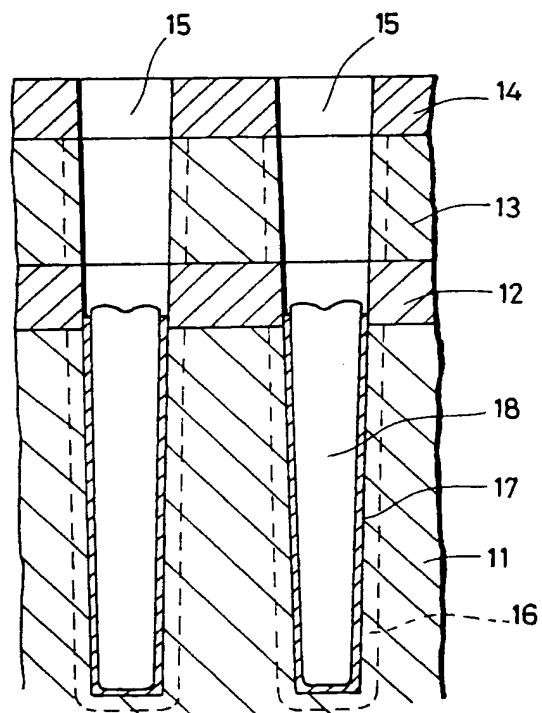


FIG. 7A

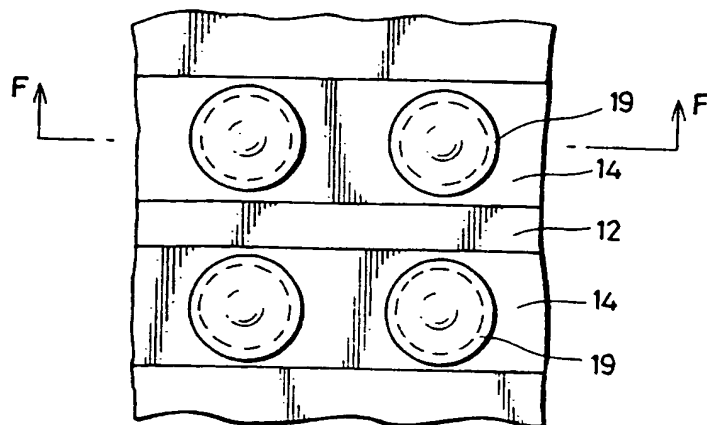


FIG. 7B

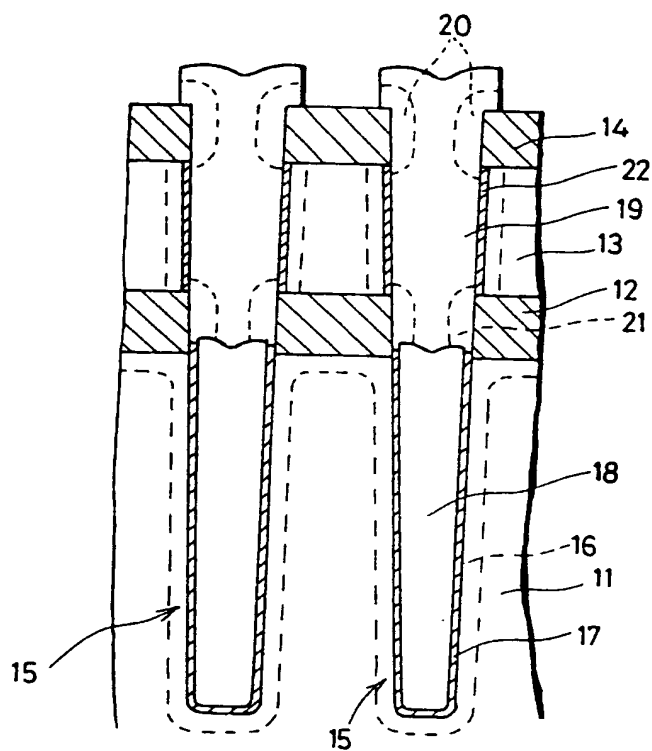


FIG. 8A

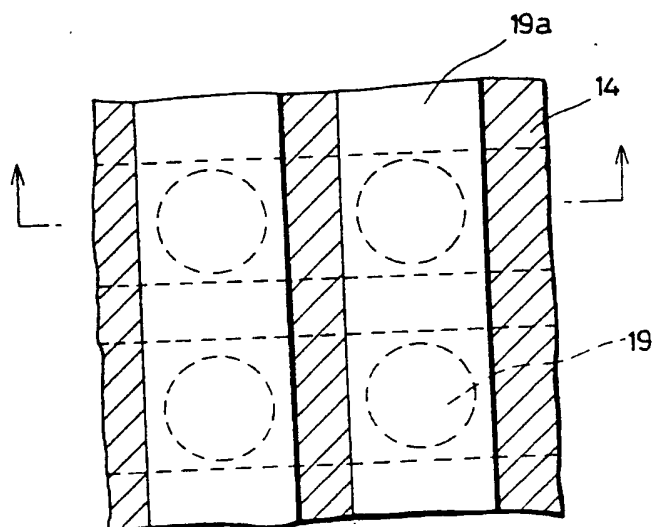
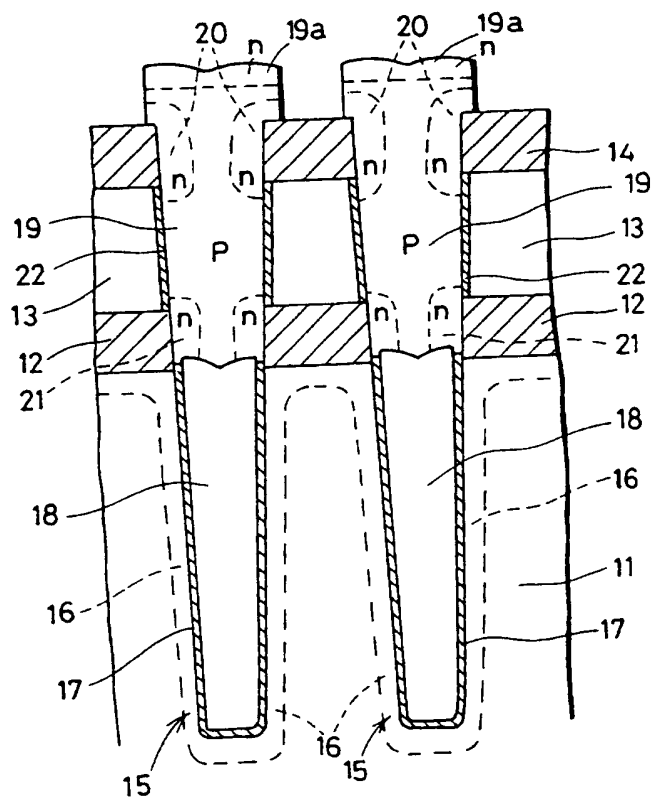


FIG. 8B



Semiconductor memory with laminated layers - which consist of insulating layers with sandwiched conductive layer on semiconductor substrate

Patent Number: DE4103105
Publication date: 1991-08-08
Inventor(s): AKAZAWA MORIAKI (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)
Requested Patent: DE4103105
Application Number: DE19914103105 19910201
Priority Number(s): JP19900023898 19900201
IPC Classification: G11C11/34; H01L21/72; H01L27/108
EC Classification: H01L21/8242B6B, H01L27/108F10V
Equivalents: JP2572864B2, JP3227566, KR124143

Abstract

In addition to the laminated layer the memory has a groove through the first insulating layer (12), the first conductive layer (13) and the second insulating layer (14) and extends into the semiconductor substrate (11). At the groove (15) region in the substrate is formed a capacitor, and a transistor directly on the latter.

The first capacitor electrode is formed from the substrate, while the other electrode is formed by a second conductive layer (18) on the side and bottom faces of the groove. Between the groove parts and the second conductive layer is a dielectric film. The transistor contains a gate electrode on the first conductive layer, a gate insulation on inner groove periphery and a drain (20) and a source region (21).
ADVANTAGE - Reduced memory cell surface and improved integrating rate.

Data supplied from the esp@cenet database - I2

DOCKET NO: W8B-WF-1852

SERIAL NO: _____

APPLICANT: Michael Sommer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100